

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 08110787 A

(43) Date of publication of application: 30.04.96

(51) Int. Cl

G10K 15/04

A63F 9/22

G10H 7/02

(21) Application number: 06244234

(71) Applicant: SEGA ENTERP LTD

(22) Date of filing: 07.10.94

(72) Inventor: AZUMA TETSUHIKO

(54) SOUND SIGNAL GENERATING/PROCESSING
DEVICE AND VIDEO GAME DEVICE USING IT

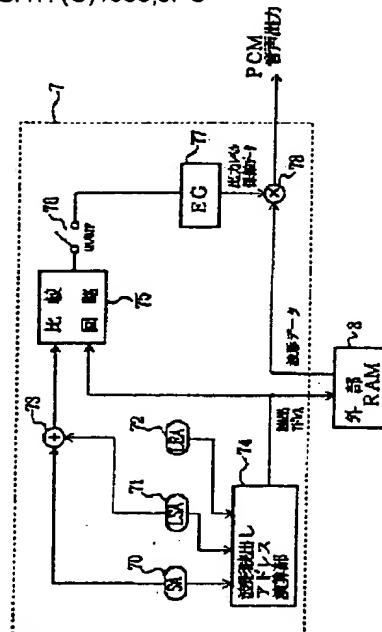
the control of the transition timing and the output level change can be resolved.

(57) Abstract:

COPYRIGHT: (C)1996,JPO

PURPOSE: To provide a sound output with no sense of incompatibility by providing a sound source section synchronizing the repeated process of the sound wave-form and the change of the output level.

CONSTITUTION: A sound signal generation/process section is constituted of a PCM sound source section 7, a sound effect DSP section, and an output stage mixing section. The PCM sound source section 7 is a circuit portion generating a PCM sound, and it reads the sound wave-form data stored in an external RAM 3 and generates the wave-form data continued for a prescribed period. One wave-form data is read from the external RAM 3 in the initial sound output period, and another wave-form data is repeatedly read in the stable sound period, thereafter. The transition timing of the output on an envelope generator 77 side is synchronized with the repeated readout of the wave-form data, i.e., the shift timing to the loop process. The repeated process of the sound wave-form can be synchronized with the change of the output level for the generation of the sound data, and the sense of incompatibility caused by



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-110787

(43) 公開日 平成8年(1996)4月30日

(51) Int.Cl.⁸
G 1 0 K 15/04
A 6 3 F 9/22
G 1 0 H 7/02

識別記号
302 G
E

序内整理番号

FIG

技术表示箇所

G 10H 7/00

521 Z

審査請求 未請求 請求項の数9 OI (全 17 頁)

(2) 出願番号 特願平6-244234

(22)出願日 平成6年(1994)10月7日

(71) 出國人 000132471

株式会社セガ・エンタープライゼス
東京都大田区羽田1丁目2番12号

(72) 発明者 東 哲彦
東京都大田区羽田1丁目2番12号 株式会社
ホーリー・エンターテイメント

(24)代理人 书理士 楚 颤德

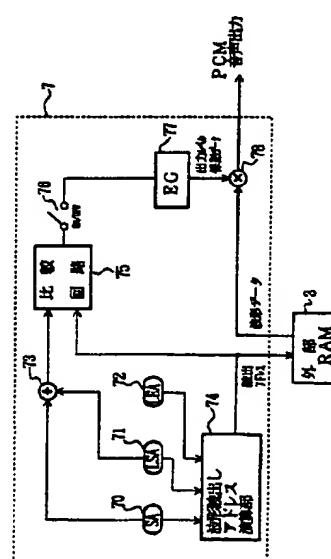
(54) 【発明の名称】 音声信号発生処理装置及びこれを用いたビデオゲーム基盤

(57) 【要約】

【目的】複数の音源信号を処理して音響効果を生成する装置、及びこれを用いたゲームの進行に同期して音響効果を発生させるビデオゲーム装置を提供する。

【構成】第一の音声波形と第二の音声波形からなる音声波形データを出力する第一の手段と、第一の音声波形から第二の音声波形に遷移するタイミングに同期して、該第一の音声波形及び第二の音声波形のレベルが時間とともに変化するように制御する第二の手段を有する。

PCM音源部の構成例



【特許請求の範囲】

【請求項1】第一の音声波形と第二の音声波形からなる音声波形データを出力する第一の手段と、該第一の音声波形から第二の音声波形に遷移するタイミングに同期して、該第一の音声波形及び第二の音声波形のレベルが時間とともに変化するように制御する第二の手段を有して構成されることを特徴とする音声信号発生処理装置。

【請求項2】請求項1において、

前記第一の手段は、前記第一の音声波形を、第一の所定サンプル期間のデータにより構成し、前記第二の音声波形を、第二の所定サンプル期間のデータを繰り返して構成するようにしたことを特徴とする音声信号発生処理装置。

【請求項3】請求項1または2において、前記第二の手段は、前記第一の音声波形から前記第二の音声波形に遷移するタイミングまでの期間において、該第一の音声波形のレベルを時間とともに増加し、又は最大レベルに到達するように制御し、且つ該第二の音声波形のレベルを該第一の音声波形が到達したレベルから所定の割合で減衰するように制御することを特徴とする音声信号発生処理装置。

【請求項4】請求項2において、

更に前記第一の音声波形の第一のサンプル期間のデータ及び第二の音声波形のサンプル期間のデータを記憶するRAMと、

該第一の音声波形の第一の所定サンプル期間のデータの該RAMからの読みだしアドレスを絶対アドレスとして設定する第一のレジスタと、該第二の音声波形の第二の所定サンプル期間のデータの該RAMからの読みだしアドレスを、該絶対アドレスからの該第二の音声波形の第二の所定サンプル期間の先頭番地までのオフセット値として設定する第二のレジスタと、

該第二の音声波形の第二の所定サンプル期間のデータの該RAMからの読みだし終了アドレスを、該絶対アドレスからの該第二の音声波形の第二の所定サンプル期間の終了番地までのオフセット値として設定する第三のレジスタとを有して構成することを特徴とする音声信号発生処理装置。

【請求項5】請求項4において、

前記絶対アドレス、前記繰り返し範囲の先頭番地のオフセット値及び前記繰り返し範囲の終了番地のオフセット値から、読みだしアドレスを演算する演算部と、

該絶対アドレスと該繰り返し範囲の先頭番地のオフセット値を加算する加算回路と、

該加算回路の加算出力と該演算部からの読みだしアドレスとを比較する比較回路を有し、

該比較回路において、該演算部からの読みだしアドレス

が該加算出力より大きくなることが検知されるタイミングに前記第一の音声波形から第二の音声波形に遷移するタイミングを同期させることを特徴とする音声信号発生処理装置。

【請求項6】複数のPCM音声データを出力する音源部と、

該音源部からの複数のPCM音声データの内の任意の組み合わせのPCM音声データをミキシングする複数の累積加算部と、

10 該複数の累積加算部の出力毎に対応する複数の入力レジスタと、

該複数の入力レジスタに設定される累積加算部の出力に対し、所定の音響効果処理を実行するデジタル・シグナル・プロセッサと、

該デジタル・シグナル・プロセッサの出力を格納する出力レジスタを有して構成することを特徴とする音声信号発生処理装置。

【請求項7】請求項6において、

更に、音声データを記憶するCD-ROMと、

20 該CD-ROMから読みだされるデジタル音声データを設定する第二の入力レジスタを有し、

前記デジタル・シグナル・プロセッサは、該第二の入力レジスタに設定されるデジタル音声データに対し、前記複数の入力レジスタに設定される累積加算部の出力と共に所定の音響効果処理を実行することを特徴とする音声信号発生処理装置。

【請求項8】請求項6において、

前記複数のPCM音声データは、請求項1に記載の第一の音声波形と繰り返しの第二の音声波形からなる音声波形データであって、前記所定の期間で変化するように制御されることを特徴とする音声信号発生処理装置。

【請求項9】請求項1乃至8に記載の音声信号発生処理装置がバスを介してメインCPUと接続され、前記第一の音声波形と第二の音声波形の出力及び音響効果処理を、該メインCPUによりゲームプログラムの実行過程と同期して制御するようにしたビデオゲーム装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、音声信号発生処理装置に関し、特に複数の音源信号を処理して音響効果を生成する装置、及びこれを用いたゲームの進行に同期して音響効果を発生させるビデオゲーム装置に関する。

【0002】

【従来の技術】CPUの高速化に伴い、これを用いたビデオゲーム装置においても、より複雑、高速なゲーム画像をモニタ画面上に表示してゲームを展開することができってきた。

【0003】一方、かかるビデオゲーム装置においては、モニタ画面に表示されるゲーム画像の内容とともに、この画像と同期してスピーカより音声を表示するこ

とは、ゲームをより興味あるものとするために重要である。

【0004】ビデオゲーム装置等において表示される音声の音源は、一般にデジタル音声波形データを基に作成される。そのため、所望の時間中に変化する音声波形を持つ音源を得る場合、対応する所望の時間中分のデジタル音声波形データをそのまま持つようにすると、データ量が大きくなりRAM等の記憶回路に格納することが困難になる。

【0005】このために、所定時間分の音声データを、所望の時間分繰り返して発生させる処理、即ちループ処理が行われている。更に、時間とともに出力レベルの変化を与えることが必要であり、この場合、発音周波数等の設定条件が変更される場合であっても、ループ処理のタイミングと出力レベルの変化のタイミングとの同期を保つことが好ましい。

【0006】即ち、一の音種の表示を、音種の特徴を示す第一の音声波形による先頭部分の音声（これをアタック音声と言う）とその後に続く、ループ処理の対象とする第二の音声波形の繰り返し音声とを組み合わせて表示することが試みられている。

【0007】この場合、アタック音声は、時間とともにレベルが増加し、それに続く繰り返し音声は、アタック音声が到達したレベルから時間とともに減衰するよう表示されることが好ましい。

【0008】しかし、かかる場合レベルの減衰制御が、アタック音声及びそれに続く繰り返し音声のタイミングと同期しない場合は、音種の特徴を示す第一の音声波形によるアタック音声が表示の途中で減衰してしまう場合等が生じる。かかる場合は、効果音の表示に迫力が乏しくなり、又発音のレベル変化に違和感あるいは気が抜ける感じを生じさせることになる。

【0009】一方、ビデオゲーム装置等において表示される音声に対しては、より好ましい音響効果を効果的に得る為の音源処理が必要である。一般に音源処理は、DSP（デジタル・シグナル・プロセッサ）により行われている。しかし、DSPによる音源処理を、一音種のみに対して処理するだけでは、必ずしも好ましい音響効果を得ることは困難である。

【0010】この為に、複数の音源データを混合（ミキシング）することにより、より複雑な組み合わせの音響効果を得ることが可能である。しかし、この場合には、ミキシング処理が必要となる。このミキシング処理についても、DSPに行わせる場合には、DSPの負荷が大きくなる。

【0011】即ち、ミキシング処理についてもDSPに実行させる場合は、せいぜい一つのミキシング処理出力に対して、音響効果処理を実行することが出来る程度である。したがって、より大規模のDSPによる場合の他は、複数の音響効果処理を並行して実行することは、困

難である。

【0012】

【発明が解決しようとする課題】したがって、本発明の目的は、音声波形の繰り返し処理であるループ処理と出力レベルの変化とを同期させる音源部を有する音声信号発生処理装置を提供することにある。

【0013】また、本発明の目的は、上記音声波形の繰り返し処理であるループ処理と出力レベルの変化とを同期させる音源部において、音声波形の読みだしの為のアドレス設定に特徴を有し、アドレス設定用のレジスタを小型化し得る音声信号発生処理装置を提供することにある。

【0014】更に本発明の目的は、より効果的に音響効果処理を実行することができるよう、ミキシング処理機能をDSPに負担させることを回避した構成を有する音声信号発生処理装置を提供することにある。

【0015】更に、本発明の目的は、複数の入力、出力レジスタを用い、より自由度のあるミキシング処理を可能とし、したがってより効果的に音響効果を得ることが出来る音声信号発生処理装置を提供することにある。

【0016】更にまた、本発明の目的は、上記目的に対応する音声信号発生処理装置を有するビデオゲーム装置を提供することにある。

【0017】更なる本発明の目的は、以下の詳細な説明及び特許請求の範囲の記載から明らかとなる。

【0018】

【課題を解決するため手段及び作用】本発明にしたがう音声信号発生処理装置は、基本的構成として、第一の音声波形と第二の音声波形からなる音声波形データを出力する第一の手段と、第一の音声波形から第二の音声波形に遷移するタイミングに同期して、第一の音声波形及び第二の音声波形のレベルが時間とともに変化するように制御する第二の手段を有して構成される。

【0019】更に具体的には、前記第一の手段は、前記第一の音声波形を、第一の所定サンプル期間のデータにより構成し、前記第二の音声波形を、第二の所定サンプル期間のデータを繰り返して構成する。このように、本発明により、音声データの発生において、音声波形の繰り返し処理と出力レベルの変化とを同期させることができとなり、第一の音声波形から第二の音声波形に遷移するタイミングと出力レベル変化の制御に起因する音声の違和感を解消することができる。

【0020】更に、本発明にしたがう音声信号発生処理装置は、より具体的には、前記第二の手段は、前記第一の音声波形から前記第二の音声波形に遷移するタイミングまでの期間において、第一の音声波形のレベルを時間とともに増加し、又は最大レベルに到達するように制御し、且つ第二の音声波形のレベルを該第一の音声波形が到達したレベルから所定の割合で減衰するように制御する。

【0021】また、前記第一の音声波形の第一の所定サンプル期間のデータ及び第二の音声波形の第二の所定サンプル期間のデータを記憶するRAMと、第一の音声波形の第一の所定サンプル期間のデータの該RAMからの読みだしアドレスを絶対アドレスとして設定する第一のレジスタと、第二の音声波形の第二の所定サンプル期間のデータの該RAMからの読みだしアドレスを、該絶対アドレスからの該第二の音声波形の第二の所定サンプル期間の先頭番地までのオフセット値として設定する第二のレジスタと、第二の音声波形の所定サンプル期間のデータの前記RAMからの読みだし終了アドレスを、前記絶対アドレスからの第二の音声波形の第二の所定サンプル期間の終了番地までのオフセット値として設定する第三のレジスタとを有して構成される。

【0022】更に、一態様として前記絶対アドレス、前記繰り返し範囲の先頭番地のオフセット値及び前記繰り返し範囲の終了番地のオフセット値から読みだしアドレスを演算する演算部と、前記絶対アドレスと該繰り返し範囲の先頭番地のオフセット値を加算する加算回路と、この加算回路の加算出力と演算部からの読みだしアドレスとを比較する比較回路を有し、比較回路において、演算部からの読みだしアドレスが前記加算出力より大きくなることが検知されるタイミングに前記第一の音声波形から第二の音声波形に遷移するタイミングを同期させる。

【0023】したがって、本発明により、音声データの発生において、ハードウェア回路により音声波形の繰り返し処理と出力レベルの変化とを確実に同期させることが可能となる。

【0024】更に、本発明は、複数のPCM音声データを出力する音源部と、この音源部からの複数のPCM音声データの内の任意の組み合わせのPCM音声データをミキシングする複数の累積加算部と、複数の累積加算部の出力毎に対応する複数の入力レジスタと、前記複数の入力レジスタに設定される累積加算部の出力に対し、所定の音響効果処理を実行するデジタル・シグナル・プロセッサと、このデジタル・シグナル・プロセッサの出力を格納する出力レジスタを有して構成される。

【0025】上記の本発明の構成において、所定の音響効果処理を実行するデジタル・シグナル・プロセッサと別個に、複数のPCM音声データの内の任意の組み合わせのPCM音声データをミキシングする複数の累積加算部を有している。

【0026】これにより、デジタル・シグナル・プロセッサに負荷をかけることなく所定の音響効果処理を実行させることが可能である。

【0027】また、一態様として、更に音声データを記憶するCD-ROMと、このCD-ROMから読みだされるデジタル音声データを設定する第二の入力レジスタを有し、前記デジタル・シグナル・プロセッサは、

第二の入力レジスタに設定されるデジタル音声データに対し、前記複数の入力レジスタに設定される累積加算部の出力と共に所定の音響効果処理を実行する。

【0028】かかる構成は、CD-ROMの出力を直接デジタル信号のまま処理を可能とするので、従来におけるアナログに変換する回路等を設ける必要を解消し、装置の小型化に寄与できる。

【0029】また、前記複数のPCM音声データは、前記第一の音声波形と繰り返しの第二の音声波形からなる音声波形データであって、前記所定の期間で変化するよう制御されるように構成することで、音声データの繰り返し及び変化の制御とともに本発明のミキシング機能を備えた音声信号発生装置が提供される。

【0030】更に、上記本発明の音声信号発生処理装置をバスを介してメインCPUに接続し、前記第一の音声波形及び第二の音声波形の出力及び音響効果処理を、前記メインCPUによりゲームプログラムの実行過程と同期して制御するようにしたがうビデオゲーム装置が提供される。

【0031】

【実施例】図1は、本発明の音声信号発生処理装置の実施例ブロック図である。以下同一又は、類似のものには、同一の番号及び記号を付して説明する。尚、本発明において、音声または音声信号と言う際は、人の声を直接に指すものではなく、楽器等の音、動物の声等の擬音を含む広い概念の音及び信号を指すものである。

【0032】図1において、音声信号発生処理装置は、音響効果を施したデジタル音声信号を発生する音声信号発生処理部1、音声信号発生処理部1に対し発音の指示や音色パラメータの設定を行うサウンド制御用のCPU2、更に、音声信号発生処理部1が音声の合成に必要な音声の波形データを格納するメモリである外部RAM3、及びデジタル/アナログコンバータ4を有して構成される。

【0033】図において、更に5はCD-ROMであり、6はCD-ROM5のデジタル出力に対し、誤り訂正等の処理を行うデコーダである。本発明の実施例では、CD-ROM5の音声デジタル出力に対し、アナログに変換せずにデジタル信号のまま、音声信号発生処理部1内でデジタル音声信号と統一的に音響効果処理を行うことを可能としている。このためにインタフェース回路9が音声信号発生処理部1に備えられている。

【0034】音声信号発生処理部1は、更にPCM音源部7、音響効果用DSP部8及び出力段ミキシング部10を有して構成される。PCM音源部7は、PCM音声を発生する回路部分であり、外部RAM3に格納される音声の波形データを読みだし、後に説明する方法で所定時間継続する波形データを作成する。

【0035】音響効果用DSP部8は、本発明にしたがいPCM音源部7からの音声出力をミキシングし、更に

ミキシングされた音声に対し所定の音響効果処理を実行するプロセッサ部である。

【0036】図2は、本発明にしたがうPCM音源部7の実施例構成である。図2において、70～72は、それぞれサウンドCPU2により外部RAM3のアドレスが設定されるスタートアドレスレジスタ(SA)、ループスタートアドレスレジスタ(LSA)、ループエンドアドレスレジスタ(LEA)である。

【0037】スタートアドレスレジスタ(SA)70は、外部RAM3に格納されている複数種のデジタル音声波形データの各々の先頭の番地、即ちアタック音声に対応する音声波形のサンプルデータを記憶する領域の先頭アドレスを格納する一種のメモリである。

【0038】ループスタートアドレスレジスタ(LSA)71は、各音声波形データに対して行われる、後述のループ処理の対象とされるループ範囲の音声波形のサンプルデータを記憶する領域の先頭番地、即ち繰り返し音声の波形データを記憶する領域の先頭アドレスを、スタートアドレスレジスタ(SA)70にセットされる絶対番地からのオフセット値により格納するメモリである。

【0039】更に、ループエンドアドレスレジスタ(LEA)72は、各波形データに対して行われる、上記ループ処理の対象とされるループ範囲の音声波形のサンプルデータを記憶する領域の終了番地を、同様にスタートアドレスレジスタ(SA)70にセットされる絶対番地からのオフセット値により格納するメモリである。

【0040】ここで、ループスタートアドレスレジスタ(LSA)71及びループエンドアドレスレジスタ(LEA)72にセットされるスタートアドレスレジスタ(SA)70にセットされる絶対番地からのオフセット値により、上記ループ処理の対象とされるループ範囲の繰り返し音声波形のサンプルデータを記憶する領域を特定出来る理由と、その効果は次の理由である。

【0041】即ち、一の音種を、アタック音声とそれに続く音声により構成し、アタック音声に続く音声を、繰り返し発生するように構成している。これに対応して更に、アタック音声に対応する音声波形とループ範囲の繰り返し音声波形のサンプルデータを、連続するアドレス領域に記憶するようにしている。

【0042】したがって、ループ範囲の繰り返し音声波形のサンプルデータの記憶領域は、スタートアドレスレジスタ(SA)70にセットされるアタック音声の音声波形のサンプルデータの記憶領域の先頭番地を特定する絶対番地からのオフセット値により、特定することが可能である。

【0043】また、ループ範囲の繰り返し音声波形のサンプルデータの記憶領域を絶対番地で特定することも可能であるが、オフセット値を用いることによりアドレスのビット構成を少なくできる、したがって同時にループ

スタートアドレスレジスタ(LSA)71及びループエンドアドレスレジスタ(LEA)72の構成を小さくすることが可能である。

【0044】ここで、上記のように、レジスタ70～72に設定される値は、サウンド用CPU2により外部RAM3から読みだされてセットされる。

【0045】加算器73は、スタートアドレスレジスタ(SA)70の設定されたアタック音声の音声波形のサンプルデータの記憶領域の先頭番地を特定する絶対番地とループスタートアドレスレジスタ(LSA)71に設定された、この絶対番地からのオフセット値を加算して、ループスタートの先頭番地、即ち繰り返し音声の音声波形のサンプルデータの記憶領域の先頭番地を算出する。

【0046】波形読みだしアドレス演算部74は、波形データを読み出す外部RAM3上のアドレス位置を演算する演算回路である。

【0047】具体的には、スタートアドレスレジスタ(SA)70の設定値により、波形データを読みだす初期アドレスが決まり、更にループスタートアドレスレジスタ(LSA)71の設定値及びループエンドアドレスレジスタ(LEA)72の設定値から、上記の加算器73の説明と同様にして、初期アドレスからの相対的な立ち上がり音声波形(アタック音声)データの読み出し範囲及び繰り返し音声波形データの読みだし範囲に相当する読みだしアドレスが演算され、出力される。

【0048】比較回路75は、加算器73の出力であるループ先頭番地の値と波形読みだしアドレス演算部74から出力される読みだしアドレスの値とを比較する回路である。

【0049】比較回路75から比較結果として波形読みだしアドレス演算部74から出力される読みだしアドレスの値がループ先頭番地の値を越える時に、駆動信号を出力し、エンベロープジェネレータ(EG)77を駆動する。

【0050】尚、スイッチ76は、エンベロープジェネレータ(EG)77の機能を有効とする時にサウンドCPU2により、ON状態とされている。

【0051】エンベロープジェネレータ(EG)77は、後述するように、PCM音源部7からの出力レベルが時間経過に伴い変化するように制御する信号を生成する。波形読みだしアドレス演算部74から出力される読みだしアドレスに対応したアドレス位置に記憶される波形データが、外部RAM3から読みだされる。この読みだされる音声波形データに、エンベロープジェネレータ(EG)77の出力である制御信号が、乗算回路78により重畠される。

【0052】したがって、外部RAM3から読みだされた音声波形データは、エンベロープジェネレータ(EG)77の出力の軌跡に沿って変化するPCM音声とし

て出力される。

【0053】ここでエンベロープジェネレータ(EG)77の機能について、更に説明する。エンベロープジェネレータ(EG)77は、音声波形の出力レベルに時間的な変化を与える機能を有する。

【0054】図3に示すように、音声波形の出力レベルの時間経過における変化の割合を、実施例として、アタックレート(AR:初期上昇率)、ディケイ1レート(D1R:第一の減衰率)、ディケイ2レート(D2R:第二の減衰率)、リリースレート(RR:開放減衰率)に設定する。

【0055】即ち図3において、横軸は時間、縦軸は出力レベルの減衰量を示し、ビデオゲーム装置において、例えば遊戯者による入力操作部のキー押下のタイミングに同期する発音開始(KEY-ON)の状態からセグメント1の期間にアタックレート(AR)に従い、音声出力レベルが上昇し、ついで、セグメント2、3の期間でそれぞれディケイ1レート(D1R)、ディケイ2レート(D2R)で減衰する。

【0056】更に、遊戯者による離鍵のタイミング(KEY-OFF)から、リリースレート(RR)で出力レベルが0となるまでセグメント4において、音声出力レベルが減少する。

【0057】エンベロープジェネレータ(EG)77は、上記のような、各音声出力の変化割合を与える制御信号を発生し出力する回路である。

【0058】尚、図3において、アタックレート(AR)に従い、音声出力レベルが上昇し、最大値に到達する期間であるセグメント1の長さは、アタック音声波形の周期により変化する。また、繰り返し音声波形の期間中にセグメント2の減衰率からセグメント3の減衰率が切り替わるタイミングは、音声波形のレベルがDLの大きさに減衰した時点である。更に、セグメント3の減衰率がセグメント4の減衰率に切り替わるタイミングは、離鍵(KEY-OFF)のタイミングである。

【0059】一方、PCM方式による音源部7は、外部RAM3の記憶容量を考慮して、少ない波形データで長い期間の発音、即ち波形をサンプル数以上の時間にわたりて発音させることを実現するためにループ再生処理方式を採用する。このループ再生処理方式について、図4を参照して説明する。

【0060】図4は、ループ再生処理方式を説明する図である。図4(1)は、外部RAM3から読みだされる音声波形サンプルデータである。即ち、横軸に外部RAM3上のアドレス値を示している。

【0061】図4(2)は、再生される音声波形を示し、横軸が時間であり、例としてIの期間に正弦波、これに続き、期間II、III、IVに三角波を繰り返すような音声を再生する場合を考える。

【0062】即ち、本発明の実施例においては、音の特

徴を決める音の出だし(立ち上がり)のアタック波形データと音が安定する(周波数成分構成が余り変化しない)部分の繰り返し波形データの2つの部分の波形データを有し、後者の波形データをループ処理(繰り返し処理)させてサンプル数以上に長く発音させるようにしている。

【0063】実施例として、図4(1)に示すように、外部RAM3から音の出だし期間Iを正弦波の波形データとし、それに続く音の安定期間IIを三角波の波形データとして読みだされる場合を考える。尚、既に説明したように、音の出だし期間Iを正弦波の波形データ及びそれに続く音の安定期間IIを三角波の波形データは、図4(1)に示すように、連続するアドレス領域に記憶されている。

【0064】したがって、正弦波の波形データの読みだしは、波形の先頭番地を絶対番地であるSA(スタートアドレス)として、サウンドCPU2によりレジスタ(SA)70(図2参照)に設定され、外部RAM3上のこの先頭番地SAから読みだされる。

【0065】またループ処理をさせる音が安定する範囲即ち、期間IIの三角波の波形データの読みだしは、その先頭番地をスタートアドレスレジスタ(SA)70に設定したSA(スタートアドレス)の値からの差分値(オフセット)を同様にサウンドCPU2によりループスタートアドレスレジスタ(LSA)71(図2参照)に設定する。

【0066】更に、期間IIの最後尾の番地を、レジスタ(SA)70に設定したSA(スタートアドレス)の値からの差分値(オフセット)をループエンドアドレスレジスタ(LEA)72(図2参照)に設定する。

【0067】したがって、期間II分の三角波の波形データとして、ループスタートアドレス(LSA)からループエンドアドレス(LEA)までの、両オフセット値間の差に相当する期間の波形データが外部RAM3から読みだされる。

【0068】更に、ループスタートアドレス(LSA)からループエンドアドレス(LEA)までの期間の音声波形データが、外部RAM3から読みだされ、引き続きこの期間のデータが外部RAM3から繰り返し読みだされる。

【0069】これにより、図4(2)に示すように、Iの期間に正弦波データが読みだされ、ついで期間II、III、IVに三角波データが繰り返し読みだされることになる。

【0070】次に、上記のように読みだされる波形データに対するエンベロープジェネレータ(EG)77の動作について更に説明する。

【0071】先に図3により説明したように、エンベロープジェネレータ(EG)77は、時間経過に伴い、所定の割合で変化する量を与える制御信号を出力し、これ

により音声出力の出力レベルをセグメント毎に順次変化させる機能を有する。

【0072】一方、図4により説明したように、外部RAM3から音の出だし（アタック）期間Iにおいて、一の波形データを読みだし、ついで音の安定する期間II以降に於いて、別の波形データを繰り返し読みだすようにしている。

【0073】ここで、発音周波数を変えた場合、波形データの読みだしにおいて、音の立ち上がり（期間I）から安定期間（期間II以降）に遷移するタイミングと、エンベロープジェネレータ（EG）77により制御される音声出力レベルの変化におけるタイミングとがずれてしまう。このような場合は、滑らかな音声の出力変化が困難になる。

【0074】そこで本発明の特徴の一つとして、上記に説明した回路構成により、エンベロープジェネレータ（EG）77側の出力の遷移のタイミングを波形データの読みだしの繰り返し、即ちループ処理に移行するタイミングと同期させるようにしている。

【0075】したがって、かかる同期制御をサウンドCPU2からのソフトウェア制御により行う場合に較べ、本発明では、確実な同期が行われ、且つ同期制御に要するソフトウェア処理が不要となる。

【0076】図5は、エンベロープジェネレータ（EG）77の動作フローである。図5において、装置が発音待ちの状態（ステップS0）から発音開始の状態になる（ステップS1）と、外部RAM3から音の出だし（アタック）期間の波形データが読みだされる。

【0077】同時に波形読みだしアドレス演算部74からの波形読みだしアドレスが歩進される。そして、この波形読みだしアドレスが、加算器73（図2参照）の出力であるループスタートポイントアドレス（LSA）に一致することが比較回路75で検知されると（ステップS2）、エンベロープジェネレータ77の駆動をトリガする。

【0078】そして、図3に示すようにエンベロープジェネレータ77において、セグメントの遷移を制御するレベル減衰制御信号を生成し、乗算器78（図2参照）に入力し、外部RAM3からの読みだし波形に重畠する処理（ステップS3）が行われる。この処理が発音停止（ステップS4）まで継続する。

【0079】次に、読みだされる波形データと比較しながら、上記したエンベロープジェネレータ77による制御の具体的実施例を説明する。

【0080】図6は、エンベロープジェネレータ77の出力値が減衰量0に達した後に、波形読みだしアドレスの値が、ループ処理開始アドレス（SA+LSA）に到達する場合である。即ち、アタック音声が最大レベルまで到達し、その後繰り返し音声が減衰されながら発生される場合である。

【0081】図6において、上部に読みだされる波形データが示され、下部にエンベロープジェネレータ77の出力が示される。セグメント1の期間の途中に、エンベロープジェネレータ77の出力値が減衰量0、即ち最大レベル（0dB）に達し、ループ処理の開始点LSAまで、最大出力が継続する。

【0082】ついで、ループ処理の開始点LSA以降、第二の波形が繰り返され、同時にエンベロープジェネレータ77の出力値に応じて、時間とともに、ディケイ1レート（D1R：第一の減衰率）、ディケイ2レート（D2R：第二の減衰率）でレベルが徐々に減衰し、変化することが理解される。

【0083】図7は、また別の実施例であり、読みだし波形の周波数が高くなり、エンベロープジェネレータ77の出力値が減衰量0に到達する前に、波形読みだしアドレスがループ処理開始アドレス（SA+LSA）に到達する場合の例である。

【0084】この場合は、エンベロープジェネレータ77の出力値が最大レベル（0dB）に到達する前に、波形読みだしアドレスがループ開始点に到達するので、アタック音声の出力が最大レベル（0dB）とならずに、セグメント2以降の繰り返し期間に遷移する。

【0085】図8は、更に別の実施例であり、上記図7の実施例と同様に、エンベロープジェネレータ77の出力値が減衰量0に到達する前に、波形読みだしアドレスがループ処理開始アドレス（SA+LSA）に到達する場合の例である。

【0086】但し、この場合において、図7の実施例と異なる点は、セグメント1からセグメント2への変化点でのエンベロープジェネレータ77の出力がDLの大きさよりも小さいために、セグメント3に遷移することなく出力レベルが最大減衰量、即ちレベルが0となる。

【0087】以上に説明したように、本発明は、音声波形の繰り返し処理と出力レベルの変化とを同期させる音源部を有しているので、違和感のない音声出力を得ることが出来る。

【0088】ここで、図1に戻り更に説明すると、上記の説明のようにして、PCM音源部7からPCM音声出力データが得られる。尚、図2において、PCM音源部7の構成として1種類のPCM音声出力データを得るために構成を説明したが、PCM音源部7は、図2に示す構成を複数個有し、時間的に同時に複数種のPCM音声を出力する。

【0089】したがって、図9は、PCM音源部7の出力と、音響効果用DSP部8の主要部であるDSP80との関係において、本発明の別の特徴であるミキシング機能の概略を説明する図である。

【0090】図9において、700～705は、PCM音源部7からの複数のPCM音声出力データであるPCM音源（0）～（5）である。これらのPCM音源

(0)～(5)は、サウンドCPU2の制御により、任意の組み合わせでミキシングされる。

【0091】図9の例では、PCM音源(0)700、(1)701、(2)702がミキサ回路710により、ミキシングされる。同様にPCM音源(3)703は、ミキサ回路711により、PCM音源(4)704、(5)705は、ミキサ回路712により、ミキシングされる。

【0092】ついで、ミキサ回路710～712の出力は、それぞれ入力レジスタ721～723を経由して、音響効果用DSP部8のDSP80に導かれ、ここで外部RAM3に記憶されるプログラムにしたがって、所定の音響効果、例えばリバーブ800、コーラス801、エコー802等の音響効果処理が施される。

【0093】これらの音響効果処理は、外部RAM3に記憶されるプログラムにより、既知の手順で実行処理が可能である。したがって音響効果処理の手順は、本発明と直接に関連しないので、その詳細な説明は省略する。

【0094】図10は、音響効果用DSP部8及び、図1では省略されている周辺回路を含む構成の詳細実施例ブロック図である。図10において、8は、音響効果用DSP部であり、DSP(デジタル・シグナル・プロセッサ)80、複数のDSP入力レジスタ81及び複数の出力レジスタ82を有する。

【0095】SLOT0～SLOT31は、32個分の入力レジスタであり、それぞれPCM音源部7からの1音分のPCM音声出力データがセットされる。83は、16個の選択切替えスイッチを有するセレクタであり、図10では簡単化のために1基のみ示されているが、レジスタSLOT0～SLOT31の各々に対応して、32基分備えられる。

【0096】入力レジスタSLOT0～SLOT31の各々の出力は、レベル調整器88を通して対応するセレクタ83に入力される。レベル調整器88の減衰量は、PCM音源部7からの1音分のPCM音声出力データをどの位の出力レベルでDSP入力レジスタ81送り込むかを設定するレジスタIMXLに設定された値に応じた減衰量を与える回路である。この減衰量は、実施例とし、0～-96dBまでの調整が可能である。

【0097】レジスタISELは、PCM音源部7から出力されたPCM音声出力データを、DSP部8の複数の入力レジスタ81のどの(何番目の)のレジスタに送り込むかを設定するためのレジスタである。

【0098】上記、レジスタIMXL、レジスタISEL等は、サウンドCPU2が外部RAM3に記憶された値を読み取り、その値に基づき設定される。

【0099】セレクタ83は、レジスタISELに設定された値に基づき対応するDSP入力レジスタ81にレベル調整器88により調整されたレベルのPCM音声出力データを送るべく選択接続する回路である。

【0100】累積加算部84は、DSP入力レジスタ81の各々に対応して備えられ、セレクタ83の出力である複数のPCM音声出力データを累積してミキシングする機能を有する。この累積加算部84のミキシング動作は、本発明では、音響効果用DSP部8と独立して備えられるので、音響効果用DSP部8の負荷を軽減することが可能である。

【0101】累積加算部84によりミキシングされたPCM音声出力データは、対応するDSP入力レジスタ81に一時格納される。ここに格納されるPCM音声出力データは、外部RAM3に記憶されるプログラムにしたがって、DSP80において、任意に読みだされ、音響効果処理の対象とされる。

【0102】DSP80により音響効果処理されたPCM音声出力データは、DSP出力レジスタ82に送られる。ここでDSP出力レジスタ82は、複数のレジスタを有しているので、任意のレジスタに音響効果処理されたPCM音声出力データを出力することにより、更に、PCM音声出力データの組み合わせが可能となる。

【0103】DSP出力レジスタ82の出力は、更にレベル調整器90、パンポット回路86に入力される。レベル調整器90はレジスタDFSDLに設定された減衰量をにしたがいPCM音声出力データのレベルを調整する。

【0104】更に、パンポット回路86は、レジスタEF PANに設定された値にしたがい、レベル調整器90の出力をそれぞれのレベルを有する左右チャンネル用PCM音声出力データとして、左右チャンネル用バス(Lch-BUS、Rch-BUS)に出力する。

【0105】ここで、レジスタEFSDL及びレジスタEF PANへの値の設定もサウンドCPU2の制御に基づき行われる。

【0106】図10において、PCM音源部7からのPCM音声出力データは、音響効果処理を経ないまま直接に左右チャンネル用バスに出力することも可能である。この場合は、入力レジスタSLOT0～31にセットされたPCM音源部7からのPCM音声出力データは、レベル調整器89、パンポット回路85を経て、左右チャンネル用バスに出力される。

【0107】ここでも、レベル調整器89、パンポット回路85における調整量は、サウンドCPU2により設定されるレジスタDSDL、DIPANの設定値に基づき調整される。

【0108】更に図10の実施例では、先に図1において説明したようにCD-ROM5からのデジタル音声データあるいは、等価のデジタル音声データも、PCM音源部7からのPCM音声出力データと統一的に処理することが可能である。これにより、CD-ROM5等からのデジタル音声データをアナログに変換する回路を省略することができ、装置の小型化に寄与するこ

できる。

【0109】CD-ROM5等からのデジタル音声データは、音響用DSP部8の入力レジスタEXTS0、EXTS1に一旦格納される。尚、入力レジスタEXTS0は、左チャンネル信号用、入力レジスタEXTS1は、右チャンネル信号用である。

【0110】入力レジスタEXTS0、EXTS1に格納されたデジタル音声データは、レベル調整器91、パンポット回路87を経て直接に左右チャンネル用バスに出力される。また、DSP80に取り込んで、先に説明した音響効果処理を施し、任意のDSP出力レジスタに送出することも可能である。

【0111】尚、上記レベル調整器91、パンポット回路87における調整量は、サウンドCPU2により設定されるレジスタEFS_DL、EFPANの設定値に基づき調整される。

【0112】左右チャンネル用バスに出力されたデータは、それぞれ累積加算部100、101においてミキシングされる。累積加算部100、101からのミキシング出力は、レベル調整器92によりレベル調整され出力される。尚、この累積加算部100、101は、図1においては、加算器10が対応する。

【0113】レベル調整器92の出力は、更に、図1に示すデジタルアナログ変換器4によりアナログ信号に変換され、ついで増幅器により増幅され、スピーカにより発音される。

【0114】図11は、上記実施例にしたがい説明した本発明の音声信号発生処理装置をビデオゲーム装置に用いた適用例を示すブロック図である。

【0115】図11において、点線で囲まれた領域110は、ビデオゲーム装置本体である。115、116及び118は、第一のバス(CPU-BUS)、第二のバス(B-BUS)及び第三のバス(A-BUS)である。これらのバスに、CPU、メモリ等が接続される。

【0116】更に、第一のバス(CPU-BUS)115、第二のバス(B-BUS)116及び第三のバス(A-BUS)118が共通にシステム制御装置111に接続されている。実施例として図11の例では、第一のバス(CPU-BUS)115は、32ビットのバスサイズを有し、第二のバス(B-BUS)116及び第三のバス(A-BUS)118は、16ビットのバスサイズを有する。

【0117】更に図11に戻り説明すると、112はメインCPUであり、一对の高速CPUを有し、システム全体の制御を行う。113は、シンクロナスDRAMであり、メインCPU112が使用するワークRAMである。

【0118】111は、システム制御装置であり、上記各バスの制御とメインCPU112のコプロセッサの役割を有する。141、142は、それぞれ第一、第二の

ビデオディスプレイプロセッサ(VDP)であり、デジタルシグナルプロセッサ(DSP)により構成される。

【0119】第一のVDP141は、スプライトの制御の役割を有し、第一のVDP141にビデオRAM410が接続される。このビデオRAM410は、第一のVDP141用のコントロールコマンド、キャラクタデータを記憶する。

【0120】更に、第一のVDP141には、フレームバッファメモリ(FB)412が接続される。FB412は、二重バッファ構成であり、一方のFBに一画面分の画像データを書き込んでいる時に、他方のFBから一画面分の画像データを読みだすように構成されている。

【0121】第二のVDP142は、スクロール面の制御及び表示画面の優先順序を決定する。この第二のVDP142には、ビデオRAM420が接続される。ビデオRAM420は、スクロールマップ、ピットマップ及び係数データを記憶する。

【0122】メインCPU112及びシンクロナスDRAM113は、第一のバス(CPU-BUS)115を介してシステム制御装置111に接続される。一方、第一及び第二のVDP141、142は、第二のバス(B-BUS)116を介してシステム制御装置111に接続される。

【0123】更に、第三のバス(A-BUS)118に接続されるカートリッジ180は、本体装置110の外部に挿抜可能に接続され、ゲームプログラムを記憶するメモリ装置である。第三のバス(A-BUS)118は、第二のバス(B-BUS)116と同じバスサイズを有している。

【0124】第三のバス(A-BUS)118には、更に光ディスク制御ユニット119を通して、CD-ROMドライブ5、更にMPEG(MOTION PICTURE ENGINEER GROUP)等の外部映像信号を生成する機能ブロックが接続される。

【0125】131は、第一のバス(CPU-BUS)115に接続されるCPU制御回路であり。一对の高速CPU112である2つのCPUがシンクロナスDRAM113、システム制御装置111をアクセスする際の第一のバス(CPU-BUS)115の裁定を行う。

【0126】また、CPU制御回路113は、CPU112が、I/O制御回路132およびRAM/ROM133をアクセスする時の制御を司る。130は、本体装置110の外部に挿抜可能に接続され、遊戯者によって操作されるコントロールパッドである。

【0127】更に、401は、第二のVDP142からの出力であるアナログRGB信号をビデオ信号に変換する回路である。この変換回路401のビデオ信号がディスプレイ140に表示される。

【0128】ここで、第二のバス(B-BUS)116

には、更に本発明の音声信号発生処理装置の中心を構成する音声信号発生処理部1が接続される。この音声信号発生処理部1には、サウンドCPU2と、CPU2のプログラム及び音源波形データ等が記憶される。

【0129】そして、上記に実施例にしたがい説明したようなサウンドCPU2により、各レジスタに設定される値は、メインCPU112からバス115、116を通して、ゲームプログラムの実行過程と同期して予めRAM3に格納される。

【0130】したがって、PCM音源部7によりPCM音声データを生成する過程及び、その出力波形データに対し、音響効果処理を音響効果用DSP部8で実行する過程は、ゲームプログラムの実行過程と同期して実行される。

【0131】そして、PCM音源部7及び音響効果用DSP部8での実行の際に、サウンドCPU2によりRAM3から読みだされて、各レジスタに設定される。

【0132】次に、音声信号発生処理部1にデジタル・アナログ変換回路4が接続され、PCM音声信号をアナログ信号に変換してアナログオーディオ出力が得られる。

【0133】更に、120はPLL回路であり、システム全体に供給される基本クロックを生成する。

【0134】

【発明の効果】以上実施例にしたがい説明したように、本発明においては、音声波形の繰り返し処理と出力レベルの変化とを同期させる音源部を有しているので、違和感のない音声出力を得ることが出来る。

【0135】更に、本発明の音声信号発生処理装置は、ミキシング処理機能をDSPに負担させることを回避した構成を有する。したがって、本発明により、より効果的に音響効果処理を実行することが出来る。

【0136】また、本発明によって、自由度のあるミキシング処理を可能とし、したがってより効果的に音響効

果を得ることが出来る。

【図面の簡単な説明】

【図1】本発明の音声信号発生装置の実施例ブロック図である。

【図2】図1のPCM音源部の構成例ブロック図である。

【図3】図1のエンベロープジェネレータ(EG)の動作説明図である。

【図4】ループ処理を説明する図である。

10 【図5】エンベロープジェネレータ(EG)の動作フローである。

【図6】エンベロープジェネレータ(EG)の動作例(その1)である。

【図7】エンベロープジェネレータ(EG)の動作例(その2)である。

【図8】エンベロープジェネレータ(EG)の動作例(その3)である。

【図9】音源出力のミキシング機能を説明する図である。

20 【図10】音声効果用DSP部の構成例ブロック図である。

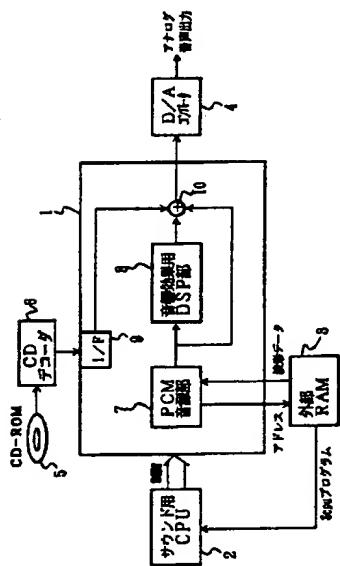
【図11】本発明の音声信号発生装置を用いたビデオゲーム装置の実施例ブロック図である。

【符号の説明】

1. 音声信号発生処理部
2. サウンド制御用CPU
3. 外部RAM
4. デジタル/アナログコンバータ
5. CD-ROM
6. デコーダ
7. PCM音源部
8. 音響効果用DSP部
9. インタフェース回路
10. 出力段ミキシング部

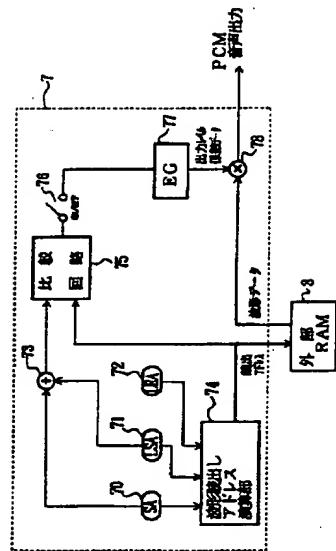
【図1】

本発明の音声信号発生装置の実施例



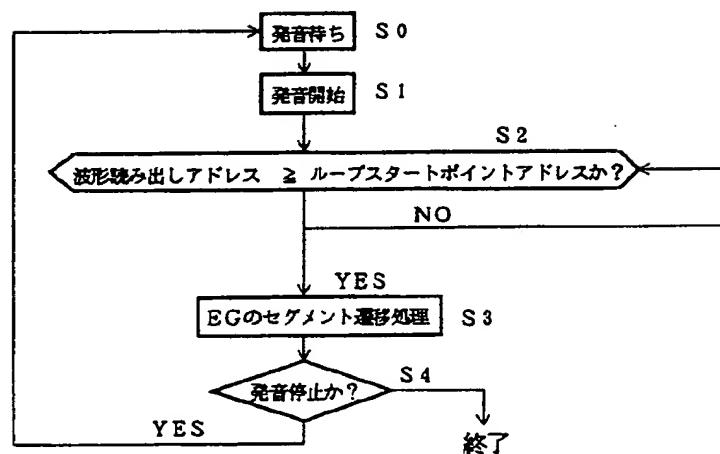
【図2】

PCM音源部の構成例



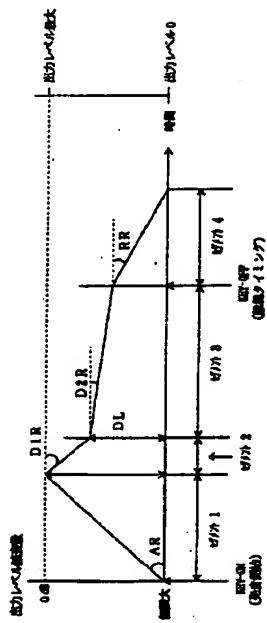
【図5】

エンベロープジェネレータの動作フロー



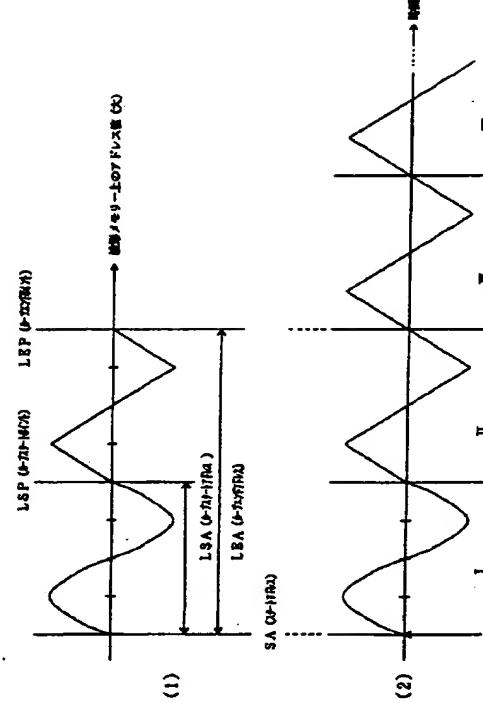
【図3】

エンベロープジェネレータ(EG)の動作説明図



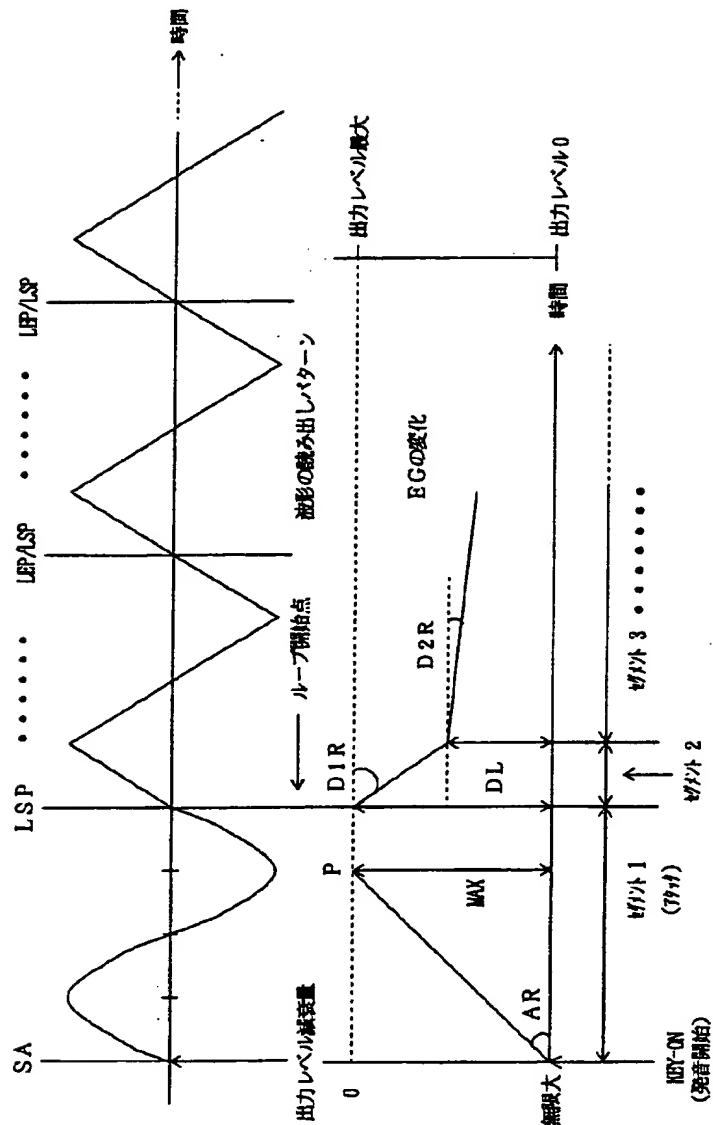
【図4】

ループ処理の説明図



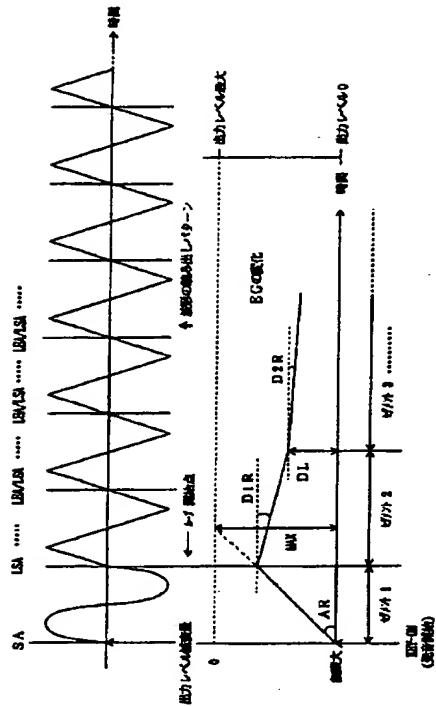
【図6】

エンベロープジェネレータの動作例（その1）



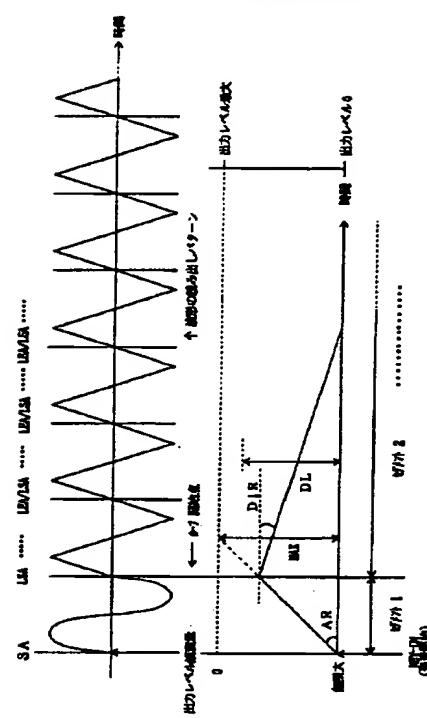
【図7】

エンベロープジェネレータの動作例（その2）



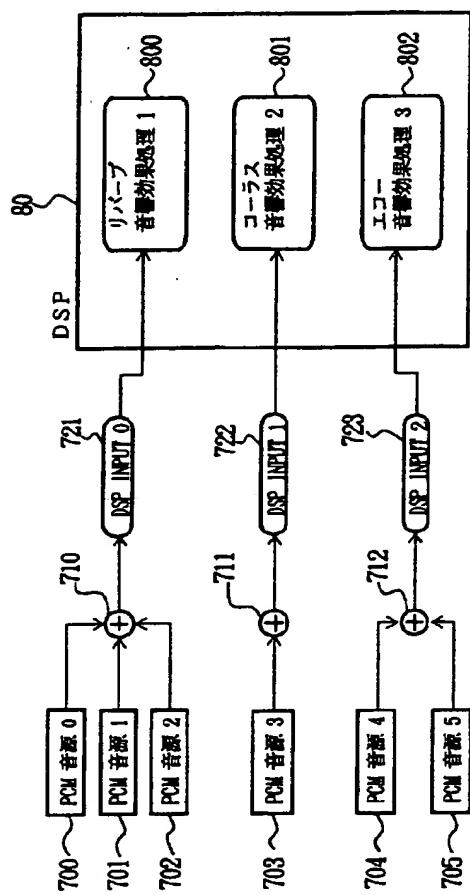
【図8】

エンベロープジェネレータの動作例（その3）



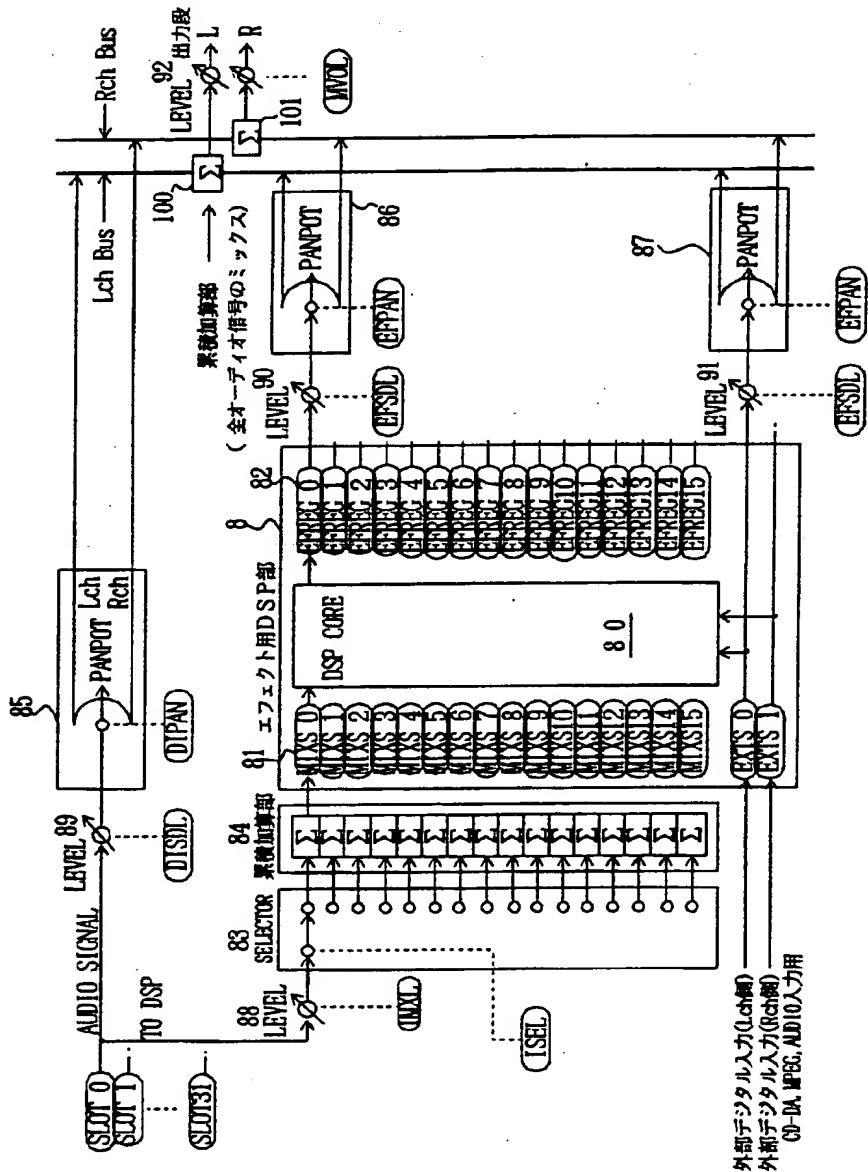
【図9】

音源出力のミキシング機能の説明図



〔図10〕

音声効果用DSP部の構成例



[図11]

本発明の音声信号発生装置を用いた ビデオゲーム装置

